

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-168284

(P2001-168284A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 27/04
21/822
27/06

H 0 1 L 27/04
27/06

H 5 F 0 3 8
1 0 1 P 5 F 0 8 2

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号 特願平11-345892

(22)出願日 平成11年12月6日(1999.12.6)

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 下井田 良雄

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(72)発明者 三原 輝儀

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(74)代理人 100075753

弁理士 和泉 良彦 (外1名)

最終頁に続く

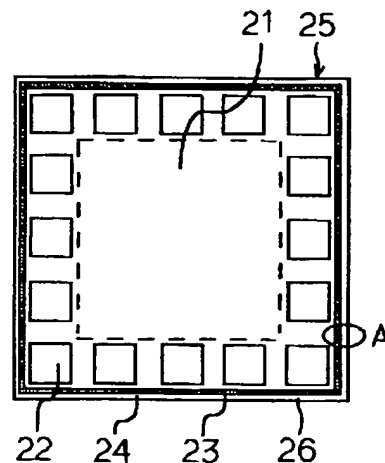
(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 半導体チップのサイズを小さくし、かつ入出力保護デバイスの電気的特性を良好に保持する。

【解決手段】 半導体チップ25の表面の中央部に主回路21を形成し、主回路21を取り囲むように半導体チップ25上に複数の外部端子22を形成し、外部端子22を取り囲むように半導体チップ25上に素子分離領域23を形成し、素子分離領域23を取り囲むように半導体チップ25上のスクライブ領域24に異常電圧を緩和する入出力保護デバイス26を形成する。

図1



- 21…主回路
- 22…外部端子
- 24…スクライブ領域
- 25…半導体チップ
- 26…入出力保護デバイス

【特許請求の範囲】

【請求項1】半導体チップの表面に形成された主回路と、上記主回路を取り囲むように上記半導体チップ上に形成された複数の外部端子と、上記外部端子を取り囲むように上記半導体チップ上に形成された素子分離領域と、上記素子分離領域を取り囲むように上記半導体チップ上に形成された異常電圧を緩和する入出力保護デバイスとを備え、上記入出力保護デバイスの両端には上記外部端子が並列に接続され、上記入出力保護デバイスの一端と上記外部端子の少なくとも1つの間には上記外部端子に印加される異常電圧により順方向にバイアスされる第1の保護素子が接続され、上記入出力保護デバイスの他端と上記外部端子の少なくとも1つの間には上記外部端子に印加される異常電圧により逆方向にバイアスされる第2の保護素子が接続され、上記入出力保護デバイスが上記半導体チップの最外周のスクライブ領域に形成されたことを特徴とする半導体装置。

【請求項2】上記入出力保護デバイスがSOI層に形成されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】上記入出力保護デバイスがツェナーダイオードであることを特徴とする請求項1に記載の半導体装置。

【請求項4】上記入出力保護デバイスがベース・エミッタをショートしたバイポーラトランジスタであることを特徴とする請求項1に記載の半導体装置。

【請求項5】上記入出力保護デバイスが上記半導体チップの表面で上記外部端子に接続されたことを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体チップの表面に形成されたLSIその他の集積回路に形成された主回路を静電気等の異常電圧から保護する入出力保護装置を有する半導体装置に関するものである。

【0002】

【従来の技術】図7は従来の半導体装置（特開平5-75023号公報）を示す概略図である。図に示すように、半導体チップ4の表面の中央部に主回路1が形成され、主回路1を取り囲むように半導体チップ4上に複数の外部端子2が形成され、外部端子2の下部に酸化膜等の絶縁膜（図示せず）を介して主回路1を静電気等の異常電圧から保護する入出力保護装置3が形成されている。また、外部端子2の表面には図示しないワイヤがボンディングされ、このワイヤボンディングによって実装基板などと接続されている。

【0003】図8は図7に示した半導体装置の回路図である。図に示すように、正負いずれの極性の異常電圧をも緩和する共用の入出力保護デバイス11に並列に複数の外部端子2a～2dが接続され、各外部端子2a～2dを入出力保護デバイス11に接続するための保護ダイ

オード14～19が形成され、入出力保護デバイス11と保護ダイオード14～19とによって入出力保護装置3が構成されている。また、主回路1の信号の入出力に供される外部端子2a、2bは抵抗R1、R2を介して主回路1に接続されている。また、VDD電源用の外部端子2cおよびVSS電源用の外部端子2dは主回路1の電源供給に供される。また、各外部端子2a～2dに侵入した異常電圧を緩和するのに共用の入出力保護デバイス11は、たとえば2つのツェナーダイオードのアノード同士（またはカソード同士）を接続した双方向性ツェナーダイオードから構成され、正負いずれの極性の異常電圧（ツェナー電圧以上の電圧）に対しても降伏動作する。また、入出力保護デバイス11の両端にはライン12、13を介して各外部端子2a～2dが並列に接続され、ライン12と各外部端子2a、2b、2dの一端との間にはそれぞれ保護ダイオード14、15、19が接続され、保護ダイオード14、15、19のカソードがライン12に接続され、さらにライン13と各外部端子2a～2cの他端との間にはそれぞれ保護ダイオード16～18が接続され、保護ダイオード16～18のアノードがライン13に接続されている。なお、保護ダイオード14～19の耐圧は入出力保護デバイス11の耐圧より高く設計されている。

【0004】つぎに、図8に示した半導体装置の動作について説明する。任意の2つの外部端子たとえば外部端子2aと外部端子2bとの間に外部端子2aが正になるような異常電圧が印加された場合には、保護ダイオード14および保護ダイオード17が順方向にバイアスされ、入出力保護デバイス11の両端に異常電圧が印加される。この異常電圧が入出力保護デバイス11の耐圧より高くなると、入出力保護デバイス11が降伏し、電流が図8の破線に示すように流れる。その結果として異常電圧が抑制され、外部端子2a、2bに接続された主回路1を異常電圧から保護することができる。このとき、保護ダイオード14および保護ダイオード17が順方向にバイアスされているので消費電力が少なく、発熱量が小さい。したがって、保護ダイオード14、17の寸法を小さくすることができる。一方、入出力保護デバイス11には降伏電流が流れているから、消費電力が大きくて、発熱量が大きく、この発熱により入出力保護デバイス11が破壊されないようにするために、すなわち耐熱のために、寸法を十分大きく設計しておく必要がある。

【0005】このような半導体装置においては、共用の入出力保護デバイス11を設けているから、入出力保護デバイスの個数を外部端子2の数よりも少なくすることができるので、半導体チップ4の面積を減少することができる。また、入出力保護装置3が外部端子2の下部に絶縁膜を介して形成されているから、半導体チップ4の面積を大きくしなくとも、入出力保護装置3の入出力保護デバイス11の

設置面積を大きくすることができる。

【0006】

【発明が解決しようとする課題】しかしながら、このような従来の半導体装置にあっては、図7に示すように、入出力保護デバイス11および保護ダイオード14～19からなる入出力保護装置3を外部端子2の下に形成しているから、ワイヤボンディングの際に外部端子2下の絶縁膜に荷重が加わり、絶縁膜にクラックが生じ、入出力保護デバイス11および保護ダイオード14～19の電気的特性に悪影響が生じる危険がある。

【0007】本発明は上述の課題を解決するためになされたもので、半導体チップのサイズが小さく、かつ入出力保護デバイスが良好な電気的特性を保持することができる半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】この目的を達成するため、本発明においては、半導体チップの表面に形成された主回路と、上記主回路を取り囲むように上記半導体チップ上に形成された複数の外部端子と、上記外部端子を取り囲むように上記半導体チップ上に形成された素子分離領域と、上記素子分離領域を取り囲むように上記半導体チップ上に形成された異常電圧を緩和する入出力保護デバイスとを設け、上記入出力保護デバイスの両端には上記外部端子を並列に接続し、上記入出力保護デバイスの一端と上記外部端子の少なくとも1つのとの間には上記外部端子に印加される異常電圧により順方向にバイアスされる第1の保護素子を接続し、上記入出力保護デバイスの他端と上記外部端子の少なくとも1つの間には上記外部端子に印加される異常電圧により逆方向にバイアスされる第2の保護素子を接続し、上記入出力保護デバイスを上記半導体チップの最外周のスクライプ領域に形成する。

【0009】この場合、上記入出力保護デバイスをSOI層に形成してもよい。

【0010】また、上記入出力保護デバイスをツェナーダイオードとしてもよい。

【0011】また、上記入出力保護デバイスをベース・エミッタをショートしたバイポーラトランジスタとしてもよい。

【0012】これらの場合、上記入出力保護デバイスを上記半導体チップの表面上記外部端子に接続してもよい。

【0013】

【発明の効果】本発明に係る半導体装置においては、半導体チップの最外周のスクライプ領域に異常電圧を緩和する入出力保護デバイスが形成されているから、半導体チップのサイズが小さくなり、かつワイヤボンディングの際に外部端子に荷重が加わったとしても、入出力保護デバイスが良好な電気的特性を保持することができる。

【0014】また、入出力保護デバイスをベース・エミ

ッタをショートしたバイポーラトランジスタとしたときには、バイポーラトランジスタの増幅作用によってより高速に異常電圧を緩和することができる。

【0015】また、入出力保護デバイスを半導体チップの表面で外部端子に接続したときには、より低抵抗で異常電圧緩和時の電流が流れるから、発熱を少なくすることができる。

【0016】

【発明の実施の形態】図1は本発明に係る半導体装置を示す概略図である。図に示すように、半導体チップ25の表面の中央部に主回路21が形成され、主回路21を取り囲むように半導体チップ25上に複数の外部端子（接続用パッド）22が形成され、外部端子22を取り囲むように半導体チップ25上に素子分離領域23が形成され、素子分離領域23を取り囲むように半導体チップ25上にすなわち半導体チップ25の最外周のスクライプ領域24に異常電圧を緩和する入出力保護デバイス26が形成されている。すなわち、素子分離領域23の外側はスクライプ領域24になっていて、半導体ウェハから半導体チップ25を切り出す際には、スクライプ領域24にダイシングの歯があたり、スクライプ領域24の一部はダイシングの際に削られ、一部は半導体チップ25の周辺に残るが、半導体チップ25の周辺に残ったスクライプ領域24に入出力保護デバイス26が形成されている。

【0017】図2は図1のA部を示す一部切断詳細斜視図である。図に示すように、p型シリコンからなる支持基板31の上部に埋め込み絶縁膜32が形成され、埋め込み絶縁膜32の上部にはn型のSOI層34が形成され、SOI層34を分離する素子分離領域23が形成され、素子分離領域23はトレンチの内部に形成された酸化膜等の絶縁膜35、絶縁膜35の溝を埋め込むように埋設されたポリシリコン36から構成されている。また、SOI層34の素子分離領域23の内側には主回路21、外部端子22、保護ダイオード（説明後述）が形成された素子領域33があり、SOI層34の素子分離領域23の外側すなわちスクライプ領域24に素子分離領域23に沿って深いすなわち埋め込み絶縁膜32に達したn⁺型の拡散領域38が形成され、SOI層34のスクライプ領域24の外側に深いすなわち埋め込み絶縁膜32に達したp⁺型の拡散領域39が形成され、拡散領域38と拡散領域39との間にSOI層34自体の領域すなわちn型の半導体領域44が形成され、拡散領域38、39、半導体領域44により図2紙面左右方向にツェナーダイオードからなる入出力保護デバイス26が形成されている。すなわち、入出力保護デバイス26はSOI層34に形成されている。そして、p⁺拡散領域39はダイシングにより削られた破断面40に接しており、ダイシングにより埋め込み絶縁膜32の破断面40部には欠陥が多数形成され、もはや破断面40部にお

る埋め込み絶縁膜32の上下方向の絶縁性は保たれない状態となっているから、拡散領域39はダイシング時の破断面40により支持基板31と電気的に導通している。また、支持基板31の裏面に金属電極41が形成され、金属電極41の電位が V_{ss} 電位に固定されている。また、拡散領域38にライン42が接続され、金属電極41(支持基板31)にライン43が接続されている。

【0018】図3は図1、図2に示した半導体装置の入出力保護装置の回路図である。図に示すように、ツェナーダイオードからなる異常電圧を緩和する共用の入出力保護デバイス26のカソードがライン42に接続され、入出力保護デバイス26のアノードがライン43に接続されている。また、入出力保護デバイス26にライン42、43を介して並列に複数の外部端子22a~22dが接続され、各外部端子22a~22dを入出力保護デバイス26に接続するための保護ダイオード52~57が形成され、入出力保護デバイス26および保護ダイオード52~57によって入出力保護装置が構成されている。また、主回路21の信号の入出力に供される信号用の外部端子22a、22bは抵抗 R_1 、 R_2 を介して主回路21に接続されている。また、 V_{DD} 電源用の外部端子22cおよび V_{ss} 電源用の外部端子22dすなわち電源用の外部端子22c、22dは主回路21の電源供給に供される。また、ライン42と各外部端子22a、22b、22dの一端との間にはそれぞれ外部端子22a、22b、22dに印加される異常電圧により順方向にバイアスされる第1の保護素子である保護ダイオード52、53、57が接続され、つまり保護ダイオード52、53、57のカソードがライン42に接続されており、さらにライン43と各外部端子22a~22cの他端との間にはそれぞれ外部端子22a~22cに印加される異常電圧により逆方向にバイアスされる第2の保護素子である保護ダイオード54~56が接続され、つまり保護ダイオード54~56のアノードがライン43に接続されている。すなわち、入出力保護デバイス(ツェナーダイオード)26の結線は、各外部端子22a~22dに対して、 V_{ss} を基準にしたときに正の異常電圧が印加された場合、 V_{DD} を基準にしたときに負の異常電圧が印加された場合に入出力保護デバイス26が異常電圧を緩和する方向に設計されている。そして、共用の入出力保護デバイスがないような集積回路の入出力保護回路ではこれらの異常電圧の印加モードに対して保護ダイオードの中に逆方向にバイアスされた状態となるものがあり、保護ダイオードでの発熱が大きく、保護ダイオードの面積を大きくする必要があった。しかし、 V_{ss} を基準にしたときに負の異常電圧、 V_{DD} を基準にしたときに正の異常電圧が印加された場合には、保護ダイオードは順方向にバイアスされ、発熱が小さく、問題が少なかった。これら4つの異常電圧印加モードのうち、厳しい異常電圧印加モードでのみ入出力保護デバイス26が電子

なだれ降伏(アバランシェブレイクダウン)する構成になっている。なお、保護ダイオード52~57は素子領域33すなわち主回路21の中または主回路1と外部端子22(22a~22d)との間に通常の構造、方法で形成されており、スクライプ領域24には入出力保護デバイス26のみが形成されている。また、保護ダイオード52~57の耐圧は入出力保護デバイス26の耐圧より高く設計されている。

【0019】この半導体装置においては、たとえば外部端子22aに V_{ss} 基準で正の異常電圧が印加された場合には、異常電圧が入出力保護デバイス(ツェナーダイオード)26の耐圧を超えると、入出力保護デバイス26が降伏し、電流が図3の破線の向きに流れる。このとき、入出力保護デバイス26のアノード側であるp⁺拡散領域39が破断面40を通じて支持基板31に導通しているから、図3に破線で示した電流はp⁺拡散領域39から破断面40を通じて支持基板31へと流れ、裏面の金属電極41へと流れる。その結果として異常電圧が抑制され、外部端子22aに接続された主回路21を異常電圧から保護することができる。

【0020】このような半導体装置においては、半導体チップ25の最外周のスクライプ領域24に異常電圧を緩和する入出力保護デバイス26が形成されているから、半導体チップ25のサイズが小さくなる。すなわち、主回路21が本来必要とする最低限の半導体チップ25の面積のまま、入出力保護デバイス26を形成することができる。また、ワイヤボンディングの際に外部端子22に荷重が加わったとしても、入出力保護デバイス26が良好な電気的特性を保持することができる。また、PN接合面の面積はほぼSOI層34の深さと半導体チップ25の外周長との積となり、PN接合面の面積は非常に広くなるから、スクライプ領域24の狭い領域を利用することで、大きな入出力保護デバイス26を形成することができる。すなわち、もともとスクライプ領域24の幅はダイシングの際に削られる領域と、その両側のマージン領域だけであり、狭いものである(右側のマージンだけで数十 μm 程度)。しかし、今回形成した入出力保護デバイス(ツェナーダイオード)26は横方向寸法は10 μm 程度あれば十分形成可能であり、マージン領域の片側だけでも問題なく形成することができる。このように、入出力保護デバイス26の大きさは半導体チップ25の周辺長に依存し、入出力保護デバイス26のサイズを十分に大きくすることができる。また、ダイシングの際に、ダイシングの歯の当たり具合によっては拡散領域39の横方向寸法すなわち図2紙面左右方向寸法にバラツキが生じたり、場合によっては拡散領域39の一部が削られてしまう可能性があるが、半導体チップ25の周囲長はmm(ミリメートル)単位の長さをもつから、拡散領域39の一部が欠落しても特に問題にはならない。このように、ツェナーダイオードからなる

入出力保護デバイス26をスクライブ領域24に形成し、横方向には素子分離領域23(トレンチ分離)により素子領域33と入出力保護デバイス26とが絶縁され、縦方向には破断面40を通じて電流が流れる構成としたため、半導体チップ25の面積を減少することができ、かつボンディング時の信頼性を確保することができる入出力保護装置を有する半導体装置を提供することができる。

【0021】図4は本発明に係る他の半導体装置を示す一部切斷斜視図である。図に示すように、p⁺拡散領域39の内部の表面側に浅いn⁺型の拡散領域61が形成され、p⁺拡散領域39とn⁺拡散領域61とは金属電極62により直接接続されている。つまり、スクライブ領域24にベース・エミッタをショートした構造のNPNバイポーラトランジスタすなわちバイポーラトランジスタをダイオード接続したものからなる入出力保護デバイス26が形成されている。

【0022】この半導体装置においては、半導体チップ25の最外周のスクライブ領域24に異常電圧を緩和する入出力保護デバイス26が形成されているから、半導体チップ25のサイズが小さくなり、かつ入出力保護デバイス26が良好な電気的特性を保持することができる。また、入出力保護デバイス26としてベース・エミッタをショートしたNPNバイポーラトランジスタが形成されており、このバイポーラトランジスタがダイオードとして作用する。そのため、ベース領域に相当する拡散領域39に電流が流れはじめると、バイポーラトランジスタの増幅作用によりh_{FE}倍された電流がコレクタ・エミッタ間(この場合は拡散領域38と拡散領域61との間)に流れようとする。それにより図2に示した半導体装置と比較してより高速に安定的に異常電圧を緩和することができる。

【0023】図5は本発明に係る他の半導体装置を示す一部切斷斜視図である。図に示すように、ライン43が拡散領域39と電気的に接続されている。つまり、スクライブ領域24に横方向に形成された共用のツェナーダイオードからなる入出力保護デバイス26のアノード側が半導体チップ25の表面側から意図的にライン43に接続される構成となっている。具体的には、2層金属配線等により拡散領域39に接続された金属配線が直接ライン43すなわちV_{SS}電源用の外部端子22dに接続されている。

【0024】この半導体装置においては、半導体チップ25の最外周のスクライブ領域24に異常電圧を緩和する入出力保護デバイス26が形成されているから、半導体チップ25のサイズが小さくなり、かつ入出力保護デバイス26が良好な電気的特性を保持することができる。また、図2に示した半導体装置においては、異常電圧緩和時に半導体チップ25の裏面すなわち支持基板31を通じて電流が流れていたのに対して、この半導体装

置においては、形成された入出力保護デバイス(ツェナーダイオード)26のアノード側が半導体チップ25の表面で直接ライン43に接続されているから、より低抵抗で異常電圧緩和時の電流が流れるので、異常電圧緩和時の発熱を小さくすることができる。このことは、ツェナーダイオードからなる入出力保護デバイス26の面積をより小さくすることもできるという利点でもある。

【0025】図6は本発明に係る他の半導体装置を示す一部切斷斜視図である。図に示すように、p⁺拡散領域39の内部の表面側に浅いn⁺型の拡散領域61が形成され、p⁺拡散領域39とn⁺拡散領域61とは金属電極62により直接接続され、金属電極62がライン43に結線されている。

【0026】この半導体装置においては、半導体チップ25の最外周のスクライブ領域24に異常電圧を緩和する入出力保護デバイス26が形成されているから、半導体チップ25のサイズが小さくなり、かつ入出力保護デバイス26が良好な電気的特性を保持することができる。また、入出力保護デバイス26が半導体チップ25の表面でライン43に接続されているから、異常電圧緩和時の発熱を小さくすることができる。

【0027】なお、上述実施の形態においては、p型の支持基板31を用いたが、破断面40ではもはやPN接合は形成されないから、n型の支持基板を用いてもよい。

【図面の簡単な説明】

【図1】本発明に係る半導体装置を示す概略図である。

【図2】図1のA部を示す一部切斷詳細斜視図である。

【図3】図1、図2に示した半導体装置の入出力保護装置の回路図である。

【図4】本発明に係る他の半導体装置を示す一部切斷斜視図である。

【図5】本発明に係る他の半導体装置を示す一部切斷斜視図である。

【図6】本発明に係る他の半導体装置を示す一部切斷斜視図である。

【図7】従来の半導体装置を示す概略図である。

【図8】図7に示した半導体装置の回路図である。

【符号の説明】

- 21…主回路
- 22…外部端子
- 22a～22d…外部端子
- 24…スクライブ領域
- 25…半導体チップ
- 26…入出力保護デバイス
- 34…SOI層
- 38…拡散領域
- 39…拡散領域
- 44…半導体領域
- 52～57…保護ダイオード

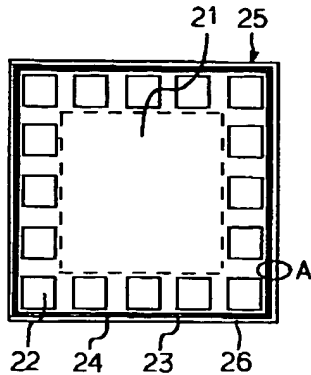
61…拡散領域

62…金属電極

【図1】

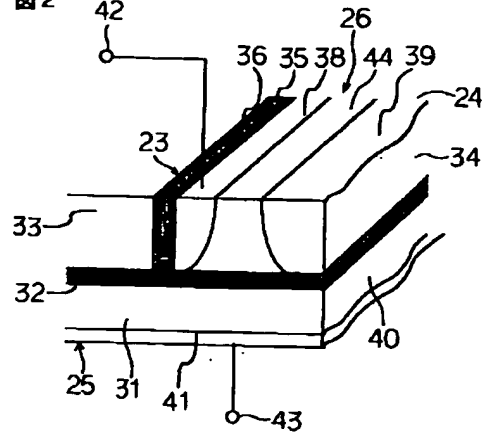
【図2】

図1



- 21…主回路
22…外部端子
24…スクライプ領域
25…半導体チップ
26…入出力保護デバイス

図2

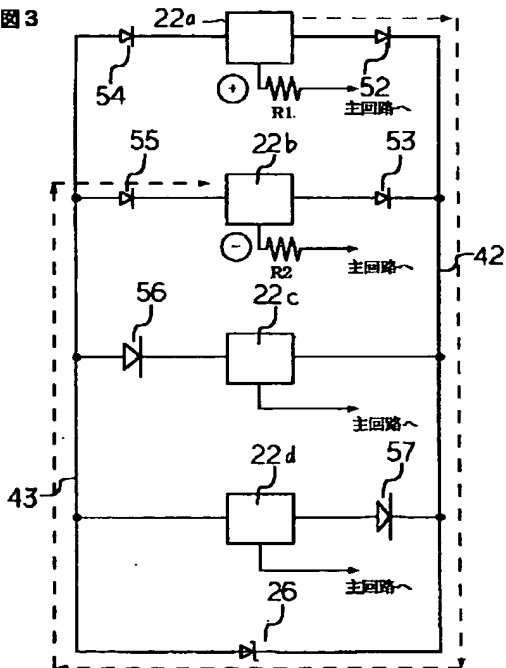


- 24…スクライプ領域
25…半導体チップ
26…入出力保護デバイス
34…SOI層
38…拡散領域
39…拡散領域
44…半導体領域

【図3】

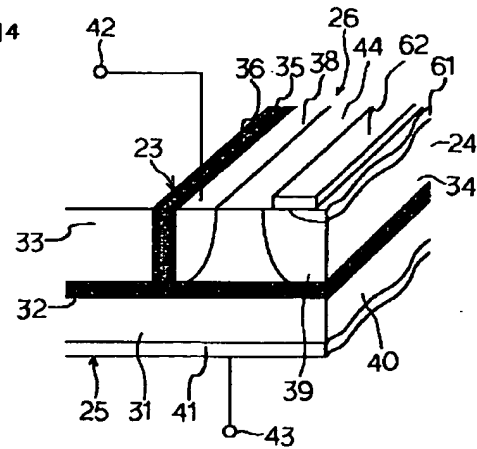
【図4】

図3



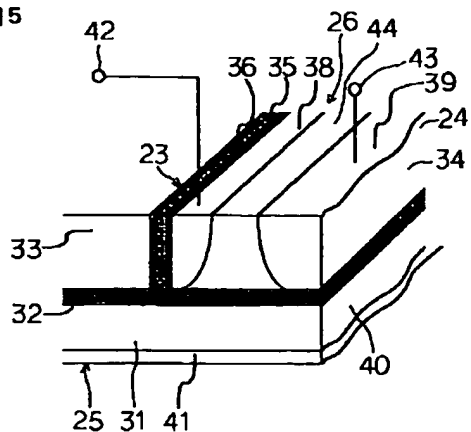
- 22a～22d…外部端子
26…入出力保護デバイス
52～57…保護ダイオード

図4

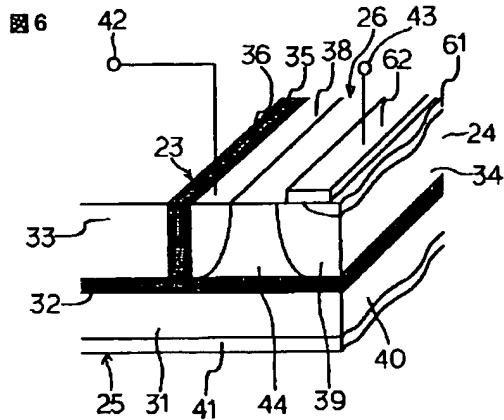


- 24…スクライプ領域
25…半導体チップ
26…入出力保護デバイス
34…SOI層
38…拡散領域
39…拡散領域
44…半導体領域
61…拡散領域
62…金属電極

【图6】

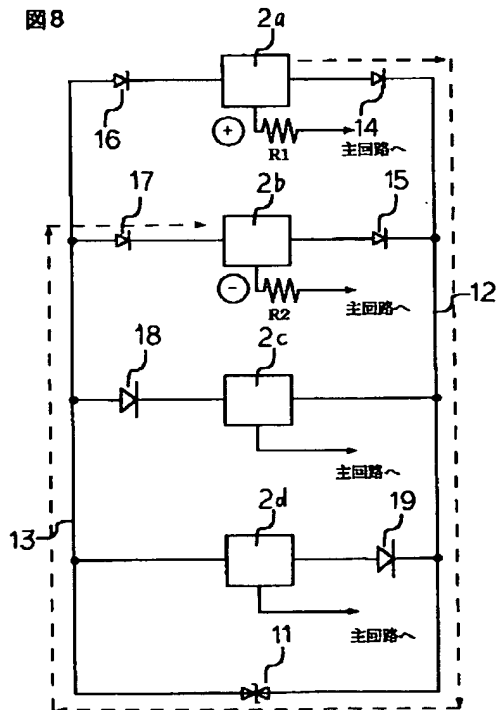
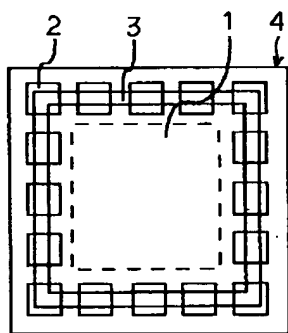


24…スクライプ領域
25…半導体チップ
26…入出力保護デバイス
34…SOI層
38…拡散領域
39…拡散領域
44…半導体領域



24…スクライプ領域
25…半導体チップ
26…入出力保護デバイス
34…S O I 層
38…拡散領域
39…拡散領域
44…半導体領域
61…拡散領域
62…金属電極

【図8】



フロントページの続き

Fターム(参考) 5F038 BE07 BH02 BH04 BH05 BH06
BH13 BH15 CA12 CA13 CD02
CD03 CD04 EZ01 EZ06 EZ20
5F082 AA08 AA33 BA02 BA06 BA19
BA47 BC03 BC11 FA16 GA04

DERWENT-ACC-NO: 2002-245182
DERWENT-WEEK: 200230
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device e.g. large scale integrated circuit device has input-output protection device in scribed area on chip periphery, enclosing element separation area which has external terminals around main circuit

PATENT-ASSIGNEE: NISSAN MOTOR CO LTD[NSMO]

PRIORITY-DATA: 1999JP-0345892 (December 6, 1999)

PATENT-FAMILY:

| PUB-NO | PUB-DATE | LANGUAGE | PAGES | MAIN-IPC |
|---------------|---------------|----------|-------|-------------|
| JP 2001168284 | June 22, 2001 | N/A | 008 | H01L 027/04 |

A

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL-NO | APPL-DATE |
|---------------|-----------------|----------------|------------------|
| JP2001168284A | N/A | 1999JP-0345892 | December 6, 1999 |

INT-CL (IPC): H01L021/822; H01L027/04 ; H01L027/06

ABSTRACTED-PUB-NO: JP2001168284A

BASIC-ABSTRACT: NOVELTY - External terminals (22) are formed around main circuit (21) on semiconductor chip (25). The external terminals are enclosed by element separation area (23) which is enclosed by input-output protection device (26) formed in a scribed area (24) on periphery of chip. The ends of protection device which are coupled to respective forward and reverse biased devices, is coupled to external terminals to which abnormal voltage is applied.

USE - E.g. large scale integrated circuit device with electrostatic discharge protection circuit.

ADVANTAGE - Since protection device is formed at periphery of semiconductor chip, size of semiconductor device is reduced and electrical property of semiconductor device is improved.

DESCRIPTION OF DRAWING(S) - The figure shows the schematic diagram of

semiconductor device. (Drawing includes non-English language text).

Main circuit 21

External terminal 22

Element separation area 23

Scribed area 24

Semiconductor chip 25

Input-output protection device 26

CHOSEN-DRAWING: Dwg.1/8

TITLE-TERMS:

SEMICONDUCTOR DEVICE SCALE INTEGRATE CIRCUIT DEVICE INPUT OUTPUT
PROTECT DEVICE

SCRIBE AREA CHIP PERIPHERAL ENCLOSE ELEMENT SEPARATE AREA

EXTERNAL TERMINAL

MAIN CIRCUIT

DERWENT-CLASS: U11 U13

EPI-CODES: U11-E; U13-E01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2002-189964

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168284

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 27/06

(21)Application number : 11-345892

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 06.12.1999

(72)Inventor : SHIMOIDA YOSHIO
MIHARA TERUYOSHI

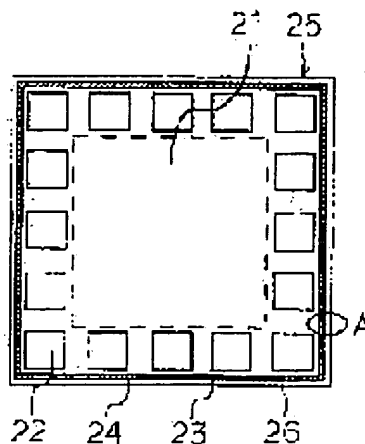
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the size of a semiconductor chip and to satisfactorily hold the electric characteristic of an input/output protection device.

SOLUTION: A main circuit 21 is formed in the center of the surface of a semiconductor chip 25, and multiple outer terminals 22 are formed on the semiconductor chip 25 so that they surround the main circuit 21. An element isolation region 23 is formed on the semiconductor chip 25 so that it surrounds the outer terminals 22, and the input/output protection device 26 relieving abnormal voltage is formed on a scribe region 24 on the semiconductor chip 25 so that it surrounds the element isolation region 23.

図 1



21 …主回路
22 …外部端子
24 …スクライプ領域
25 …半導体チップ
26 …入出力保護デバイス

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device which has the I/O protective device which protects the main circuit formed in the integrated circuit of LSI formed on the surface of the semiconductor chip, and others from abnormal voltage, such as static electricity.

[0002]

[Description of the Prior Art] Drawing 7 is the schematic diagram showing the conventional semiconductor device (JP,5-75023,A). As shown in drawing, a main circuit 1 is formed in the center section of the front face of a semiconductor chip 4, two or more external terminals 2 are formed on a semiconductor chip 4 so that a main circuit 1 may be surrounded, and the I/O protective device 3 which protects a main circuit 1 from abnormal voltage, such as static electricity, through insulator layers (not shown), such as an oxide film, in the lower part of the external terminal 2 is formed. Moreover, bonding of the wire which is not illustrated in the front face of the external terminal 2 is carried out, and it is connected with the mounting substrate etc. by this wirebonding.

[0003] Drawing 8 is the circuit diagram of the semiconductor device shown in drawing 7. it is shown in drawing -- as -- positive/negative -- the protection diodes 14-19 for two or more external terminals 2a-2d being connected to the common I/O protection device 11 which eases any polar abnormal voltage in parallel, and connecting each external terminals 2a-2d to the I/O protection device 11 are formed, and the I/O protective device 3 is constituted by the I/O protection device 11 and the protection diodes 14-19. Moreover, the external terminals 2a and 2b with which I/O of the signal of a main circuit 1 is presented are connected to the main circuit 1 through resistance R1 and R2. Moreover, the current supply of a main circuit 1 is presented with 2d of external terminals external terminal 2c for VDD power supplies, and for VSS power supplies. moreover, although the abnormal voltage which invaded into each external terminals 2a-2d is eased, the common I/O protection device 11 consists of bidirection zener diodes which connected the anodes (or cathodes) of two zener diodes -- having -- positive/negative -- breakdown operation is carried out also to which polar abnormal voltage (voltage more than zener voltage) a-2d is connected in parallel. moreover -- the ends of the I/O protection device 11 -- lines 12 and 13 -- minding -- each external terminal 2 -- Between a line 12 and an each external terminals [2a, 2b, and 2d] end, the protection diodes 14, 15, and 19 are connected, respectively. The cathode of the protection diodes 14, 15, and 19 is connected to a line 12, the protection diodes 16-18 are further connected, respectively between a line 13 and the other end of each external terminals 2a-2c, and the anode of the protection diodes 16-18 is connected to the line 13. In addition, pressure-proofing of the protection diodes 14-19 is designed more highly than pressure-proofing of the I/O protection device 11.

[0004] Below, operation of the semiconductor device shown in drawing 8 is explained. When abnormal voltage which external terminal 2a just becomes between two arbitrary external terminals, for example, external terminal 2a, and external terminal 2b is impressed, bias of the protection diode 14 and the protection diode 17 is carried out to the forward direction, and abnormal voltage is impressed to the ends

of the I/O protection device 11. If this abnormal voltage becomes higher than pressure-proofing of the I/O protection device 11, the I/O protection device 11 will surrender, and as current shows the dashed line of drawing 8, it will flow. Abnormal voltage is suppressed as the result and the main circuit 1 connected to the external terminals 2a and 2b can be protected from abnormal voltage. At this time, since bias of the protection diode 14 and the protection diode 17 is carried out to the forward direction, there is little power consumption, and calorific value is small. Therefore, the size of the protection diodes 14 and 17 can be made small. On the other hand, since the breakdown current is flowing to the I/O protection device 11, in order power consumption is large, calorific value is large and for the I/O protection device 11 not to be destroyed by this generation of heat, it is necessary to design a size sufficiently greatly for a heatproof.

[0005] In such a semiconductor device, since the common I/O protection device 11 is formed and the number of an I/O protection device can be made fewer than the number of the external terminals 2, the area of a semiconductor chip 4 can be decreased and confusion of wiring can be prevented. Moreover, since the I/O protective device 3 is formed in the lower part of the external terminal 2 through the insulator layer, even if it does not enlarge area of a semiconductor chip 4, installation area of the I/O protection device 11 of the I/O protective device 3 can be enlarged.

[0006]

[Problem(s) to be Solved by the Invention] However, since the I/O protective device 3 which consists of an I/O protection device 11 and protection diodes 14-19 is formed in the bottom of the external terminal 2 as shown in drawing 7 if it is in such a conventional semiconductor device, there is risk of a load joining the insulator layer under the external terminal 2 in the case of wirebonding, a crack arising in an insulator layer, and a bad influence arising in the electrical property of the I/O protection device 11 and the protection diodes 14-19.

[0007] It was made in order that this invention might solve an above-mentioned technical problem, and the size of a semiconductor chip aims at offering the semiconductor device with which an I/O protection device can hold a good electrical property small.

[0008]

[Means for Solving the Problem] In order to attain this purpose, it sets to this invention. The main circuit formed on the surface of the semiconductor chip, and two or more external terminals formed on the above-mentioned semiconductor chip so that the above-mentioned main circuit might be surrounded, The isolation field formed on the above-mentioned semiconductor chip so that the above-mentioned external terminal might be surrounded, The I/O protection device which eases the abnormal voltage formed on the above-mentioned semiconductor chip so that the above-mentioned isolation field might be surrounded is prepared. Connect the above-mentioned external terminal to the ends of the above-mentioned I/O protection device in parallel, and the 1st protection element in which bias is carried out to the forward direction by the abnormal voltage impressed to the above-mentioned external terminal is connected between the end of the above-mentioned I/O protection device, and at least one of the above-mentioned external terminals. Between the other end of the above-mentioned I/O protection device, and at least one of the above-mentioned external terminals, the 2nd protection element in which bias is carried out to an opposite direction by the abnormal voltage impressed to the above-mentioned external terminal is connected, and the above-mentioned I/O protection device is formed in the scribe field of the outermost periphery of the above-mentioned semiconductor chip.

[0009] In this case, you may form the above-mentioned I/O protection device in a SOI layer.

[0010] Moreover, it is good also considering the above-mentioned I/O protection device as zener diode.

[0011] Moreover, it is good also as a bipolar transistor which short-circuited the base emitter in the above-mentioned I/O protection device.

[0012] You may connect the above-mentioned I/O protection device to the above-mentioned external terminal on the front face of the above-mentioned semiconductor chip in these cases.

[0013]

[Effect of the Invention] In the semiconductor device concerning this invention, since the I/O protection device which eases abnormal voltage is formed in the scribe field of the outermost periphery of a

semiconductor chip, though the size of a semiconductor chip becomes small and a load joins an external terminal in the case of wirebonding, an I/O protection device can hold a good electrical property.

[0014] Moreover, when an I/O protection device is made into the bipolar transistor which short-circuited the base emitter, abnormal voltage can be eased more at high speed by amplification operation of a bipolar transistor.

[0015] Moreover, since the current at the time of abnormal-voltage relief flows by low resistance more when an I/O protection device is connected to an external terminal on the surface of a semiconductor chip, generation of heat can be lessened.

[0016]

[Embodiments of the Invention] Drawing 1 is the schematic diagram showing the semiconductor device concerning this invention. As shown in drawing, a main circuit 21 is formed in the center section of the front face of a semiconductor chip 25. Two or more external terminals (pad for connection) 22 are formed on a semiconductor chip 25 so that a main circuit 21 may be surrounded. The isolation field 23 formed on a semiconductor chip 25 so that the external terminal 22 may be surrounded, and the I/O protection device 26 which eases abnormal voltage is formed in the semiconductor chip 25 top 24, i.e., the scribe field of the outermost periphery of a semiconductor chip 25, so that the isolation field 23 may be surrounded. That is, although a part of per dentation of dicing and scribe field 24 are deleted to the scribe field 24 in the case of dicing and a part remains around a semiconductor chip 25 in case the outside of the isolation field 23 is the scribe field 24 and a semiconductor chip 25 is started from a semiconductor wafer, the I/O protection device 26 is formed in the scribe field 24 which remained around the semiconductor chip 25.

[0017] drawing 2 shows the A section of drawing 1 -- it is a cutting detailed perspective diagram in part. It embeds in the upper part of the support substrate 31 which consists of p type silicon as shown in drawing, an insulator layer 32 is formed, the n type SOI layer 34 is formed in the upper part of the embedding insulator layer 32, the isolation field 23 which separates the SOI layer 34 is formed, and the isolation field 23 consists of contests 36 polysilicon laid underground so that the slot of the insulator layers 35, such as an oxide film formed in the interior of a trench, and an insulator layer 35 might be embedded. Moreover, inside the isolation field 23 of the SOI layer 34, a main circuit 21, the external terminal 22, and the element field 33 in which protection diode (explanation after-mentioned) was formed are. The diffusion field 38 of n+ type which it was deep, i.e., reached the embedding insulator layer 32 is formed in the outside 24 of the isolation field 23, i.e., the scribe field, of the SOI layer 34 along the isolation field 23. The diffusion field 39 of p+ type which it was deep on the outside of the scribe field 24 of the SOI layer 34, i.e., reached the embedding insulator layer 32 is formed. The field 44 of SOI layer 34 the very thing, i.e., an n type semiconductor region, is formed between the diffusion field 38 and the diffusion field 39, and the I/O protection device 26 which becomes the drawing 2 space longitudinal direction from zener diode by the diffusion fields 38 and 39 and the semiconductor region 44 is formed. That is, the I/O protection device 26 is formed in the SOI layer 34. And it was in contact with the fracture surface 40 deleted by dicing, it embedded by dicing and many defects were formed in the fracture surface 40 section of an insulator layer 32, and since the insulation of the vertical direction of the embedding insulator layer 32 in the fracture surface 40 section is already in the state where it is not maintained, p+ diffusion field 39 has flowed through the diffusion field 39 electrically with the support substrate 31 by the fracture surface 40 at the time of dicing. Moreover, a metal electrode 41 is formed in the rear face of the support substrate 31, and the potential of a metal electrode 41 is being fixed to VSS potential. Moreover, a line 42 is connected to the diffusion field 38, and the line 43 is connected to the metal electrode 41 (support substrate 31).

[0018] Drawing 3 is the circuit diagram of the I/O protective device of the semiconductor device shown in drawing 1 and drawing 2. As shown in drawing, the cathode of the common I/O protection device 26 which eases the abnormal voltage which consists of zener diode is connected to a line 42, and the anode of the I/O protection device 26 is connected to the line 43. Moreover, the protection diodes 52-57 for two or more external terminals 22a-22d being connected to the I/O protection device 26 in parallel through lines 42 and 43, and connecting each external terminals 22a-22d to the I/O protection device 26

are formed, and the I/O protective device is constituted by the I/O protection device 26 and the protection diodes 52-57. Moreover, the external terminals 22a and 22b for signals with which I/O of the signal of a main circuit 21 is presented are connected to the main circuit 21 through resistance R1 and R2. Moreover, the current supply of a main circuit 21 is presented with 22d of external terminals 22c and 22d external terminal 22c for VDD power supplies, and for VSS power supplies, i.e., the external terminals for power supplies. Between a line 42 and an each external terminals [22a, 22b, and 22d] end, each Moreover, external terminal 22a, The protection diodes 52, 53, and 57 which are the 1st protection element in which bias is carried out to the forward direction by the abnormal voltage impressed to 22b and 22d are connected. That is, the cathode of the protection diodes 52, 53, and 57 is connected to the line 42. Furthermore between a line 43 and the other end of each external terminals 22a-22c, the protection diodes 54-56 which are each the 2nd protection element in which bias is carried out to an opposite direction by the abnormal voltage impressed to the external terminals 22a-22c are connected. That is, the anode of the protection diodes 54-56 is connected to the line 43. Namely, connection of the I/O protection device (zener diode) 26 is designed in the direction in which the I/O protection device 26 eases abnormal voltage, when are based on VSS, positive abnormal voltage is impressed to each external terminals 22a-22d, it is based on VDD and negative abnormal voltage is impressed. And in the I/O protection network of an integrated circuit which does not have a common I/O protection device, there were some which will be in the state where bias was carried out to the opposite direction into protection diode to the impression mode of such abnormal voltage, and generation of heat with protection diode was large, and needed to enlarge area of protection diode. However, when were based on VSS, it was based on negative abnormal voltage and VDD and positive abnormal voltage was impressed, bias of the protection diode was carried out to the forward direction, and its generation of heat was small, and it had few problems. It has composition in which the I/O protection device 26 carries out avalanche breakdown (avalanche breakdown) only in severe abnormal-voltage impression mode among these four abnormal-voltage impression modes. In addition, the protection diodes 52-57 are formed by the usual structure and the method between the main circuit 1 and the external terminal 22 (22a-22d) in the element field 33 21, i.e., a main circuit, and only the I/O protection device 26 is formed in the scribe field 24. Moreover, pressure-proofing of the protection diodes 52-57 is designed more highly than pressure-proofing of the I/O protection device 26.

[0019] In this semiconductor device, if abnormal voltage exceeds pressure-proofing of the I/O protection device (zener diode) 26 when abnormal voltage positive on VSS criteria is impressed, for example to external terminal 22a, the I/O protection device 26 will surrender and current will flow to the sense of the dashed line of drawing 3. Since p+ diffusion field 39 which is the anode side of the I/O protection device 26 has flowed in the support substrate 31 through the fracture surface 40 at this time, the current shown in drawing 3 with the dashed line flows from p+ diffusion field 39 to the support substrate 31 through the fracture surface 40, and flows to the metal electrode 41 on the back. Abnormal voltage is suppressed as the result and the main circuit 21 connected to external terminal 22a can be protected from abnormal voltage.

[0020] In such a semiconductor device, since the I/O protection device 26 which eases abnormal voltage is formed in the scribe field 24 of the outermost periphery of a semiconductor chip 25, the size of a semiconductor chip 25 becomes small. That is, while the main circuit 21 has been the area of the minimum semiconductor chip 25 originally needed, the I/O protection device 26 can be formed. Moreover, though a load joins the external terminal 22 in the case of wirebonding, the I/O protection device 26 can hold a good electrical property. Moreover, the area of a PN-junction side turns into a product of the depth of the SOI layer 34, and the periphery length of a semiconductor chip 25 mostly, and since the area of a PN-junction side becomes very large, it can form the big I/O protection device 26 by using the narrow field of the scribe field 24. That is, from the first, the width of face of the scribe field 24 is only the field deleted in the case of dicing, and the margin field of the both sides, and is narrow (it is only a right-hand side margin and is about dozens of micrometers). however -- if the I/O protection device (zener diode) 26 formed this time has about 10 micrometers of longitudinal direction sizes -- enough -- formation -- possible -- one side of a margin field -- it can form satisfactory Thus, the

size of the I/O protection device 26 can enlarge size of the I/O protection device 26 enough depending on the circumference length of a semiconductor chip 25. Moreover, although variation may arise depending on the hit condition of the gear tooth of dicing in the longitudinal direction size of the diffusion field 39, i.e., the drawing 2 space longitudinal-direction size, in the case of dicing or a part of diffusion field 39 may be deleted depending on the case, since the boundary length of a semiconductor chip 25 has the length of mm (millimeter) unit, especially even if a part of diffusion field 39 is missing, it does not become a problem. Thus, the semiconductor device which has the I/O protective device which the I/O protection device 26 which consists of zener diode is formed in the scribe field 24, and the element field 33 and the I/O protection device 26 can be insulated by the longitudinal direction by the isolation field 23 (trench separation), can write to lengthwise as the composition in which current flows through the fracture surface 40, and can decrease in number the area of a semiconductor chip 25, and can secure the reliability at the time of bonding can be offered.

[0021] drawing 4 shows other semiconductor devices concerning this invention -- it is a cutting perspective diagram in part As shown in drawing, the shallow n+ type diffusion field 61 is formed, and the direct file of p+ diffusion field 39 and the n+ diffusion field 61 is carried out to the front-face side inside p+ diffusion field 39 by the metal electrode 62. That is, the I/O protection device 26 which consists of what made diode connection of the NPN bipolar transistor, i.e., bipolar transistor, of structure which short-circuited the base emitter is formed in the scribe field 24.

[0022] In this semiconductor device, since the I/O protection device 26 which eases abnormal voltage is formed in the scribe field 24 of the outermost periphery of a semiconductor chip 25, the size of a semiconductor chip 25 becomes small, and the I/O protection device 26 can hold a good electrical property. Moreover, the NPN bipolar transistor which short-circuited the base emitter as an I/O protection device 26 is formed, and this bipolar transistor acts as diode. Therefore, if current begins to flow to the diffusion field 39 equivalent to a base region, the current doubled hFE by amplification operation of a bipolar transistor will consider as the method of flowing between collector emitters (between the diffusion field 38 and the diffusion fields 61 in this case). As compared with the semiconductor device which this showed to drawing 2, abnormal voltage can be stably eased more at high speed.

[0023] drawing 5 shows other semiconductor devices concerning this invention -- it is a cutting perspective diagram in part As shown in drawing, the line 43 is electrically connected with the diffusion field 39. That is, the anode side of the I/O protection device 26 which consists of common zener diode formed in the scribe field 24 at the longitudinal direction has composition intentionally connected to a line 43 from the front-face side of a semiconductor chip 25. Specifically, the metal wiring connected to the diffusion field 39 by two-layer metal wiring etc. is connected to 22d of external terminals the direct line 43, i.e., for VSS power supplies.

[0024] In this semiconductor device, since the I/O protection device 26 which eases abnormal voltage is formed in the scribe field 24 of the outermost periphery of a semiconductor chip 25, the size of a semiconductor chip 25 becomes small, and the I/O protection device 26 can hold a good electrical property. Moreover, in the semiconductor device shown in drawing 2, it sets to this semiconductor device to current having flowed through the rear face 31, i.e., support substrate, of a semiconductor chip 25 at the time of abnormal-voltage relief. Since the anode side of the formed I/O protection device (zener diode) 26 is connected to the direct line 43 on the front face of a semiconductor chip 25 and the current at the time of abnormal-voltage relief flows by low resistance more, generation of heat at the time of abnormal-voltage relief can be made small. This is also the advantage that area of the I/O protection device 26 which consists of zener diode can also be made smaller.

[0025] drawing 6 shows other semiconductor devices concerning this invention -- it is a cutting perspective diagram in part As shown in drawing, the shallow n+ type diffusion field 61 is formed in the front-face side inside p+ diffusion field 39, the direct file of p+ diffusion field 39 and the n+ diffusion field 61 is carried out by the metal electrode 62, and the metal electrode 62 is connected by the line 43.

[0026] In this semiconductor device, since the I/O protection device 26 which eases abnormal voltage is formed in the scribe field 24 of the outermost periphery of a semiconductor chip 25, the size of a

semiconductor chip 25 becomes small, and the I/O protection device 26 can hold a good electrical property. Moreover, since the I/O protection device 26 is connected to the line 43 on the front face of a semiconductor chip 25, generation of heat at the time of abnormal-voltage relief can be made small. [0027] In addition, in the gestalt of the above-mentioned implementation, although the p type support substrate 31 was used, since a PN junction is not formed, it may already, use an n type support substrate in the fracture surface 40.

[Translation done.]